

PAT-NO: JP404096355A  
DOCUMENT-IDENTIFIER: JP 04096355 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE  
PUBN-DATE: March 27, 1992

INVENTOR-INFORMATION:  
NAME  
AIMOTO, SHINGO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
MEIDENSHA CORP N/A

APPL-NO: JP02214027  
APPL-DATE: August 13, 1990

INT-CL (IPC): H01L023/40  
US-CL-CURRENT: 228/179.1

ABSTRACT:

PURPOSE: To offset warpage with cooling after soldering, and to lower thermal resistance by previously forming warpage so that the anti-adhesive area side of a heat sink is formed in a projecting shape.

CONSTITUTION: The projecting warpage of  $\Delta$ 1 is formed on the anti-ceramic substrate side of a heat sink 3 previously. Warpage is generated in the heat sink by the difference of the thermal expansion coefficients of both materials of the ceramic substrate 1 and the heat sink 3 when the ceramic substrate 1 and the heat sink 3 are soldered by using a heating system by forming such warpage. The warpage is changed into a recessed warpage, and  $\Delta$ 1 is reduced to  $\Delta$ 2. Projecting warpage is absorbed on mounting to radiating fins, and the heat sink is brought to a flat state, and a contact area is increased. Accordingly, the thermal resistance of a semiconductor element after resin seal is reduced.

COPYRIGHT: (C)1992,JPO&Japio

DERWENT-ACC-NO: 1992-220825

DERWENT-WEEK: 199227

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Manufacturing method of semiconductor device -  
decreasing thermal resistance accompanied with cooling  
after soldering by heat radiation plate having convex  
surface NoAbstract

PATENT-ASSIGNEE: MEIDENSHA CORP [MEID]

PRIORITY-DATA: 1990JP-0214027 (August 13, 1990)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	
MAIN-IPC				
JP 04096355 A	March 27, 1992	N/A	004	H01L
023/40				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 04096355A	N/A	1990JP-0214027	August 13,
1990			

INT-CL (IPC): H01L023/40

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: MANUFACTURE METHOD SEMICONDUCTOR DEVICE DECREASE THERMAL  
RESISTANCE ACCOMPANIED COOLING AFTER SOLDER HEAT RADIATE PLATE  
CONVEX SURFACE NOABSTRACT

DERWENT-CLASS: U11

EPI-CODES: U11-D03B3;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1992-167687

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-96355

⑬ Int. Cl.<sup>9</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月27日

H 01 L 23/40

F

7220-4M

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体デバイスの製造方法

⑯ 特 願 平2-214027

⑰ 出 願 平2(1990)8月13日

⑱ 発 明 者 相 本 信 悟 東京都品川区大崎2丁目1番17号 株式会社明電舎内

⑲ 出 願 人 株 式 会 社 明 電 舎 東京都品川区大崎2丁目1番17号

⑳ 代 理 人 弁 理 士 志 賀 富 士 弥 外1名

明 細 書

関するものである。

1. 発明の名称

B. 発明の概要

半導体デバイスの製造方法

本発明はセラミック基板の一方側に半導体素子

2. 特許請求の範囲

を取り付け、他方側の放熱板を半田付けする半導体デバイスにおいて、放熱板の反接着面側が凸状となるよう予め反りをつけることによって、半田付け後の冷却に伴う反りを相殺して熱抵抗を低減したものである。

セラミック基板の一方の面に半導体素子を含む電子部品を取り付け、且つ他方の面に放熱板を接着するものにおいて、前記セラミック基板と放熱板の接着に際し、予め放熱板の反接着面が凸状となるよう反りをもたせたことを特徴とする半導体デバイスの製造方法。

C. 従来の技術

3. 発明の詳細な説明

第2図は半導体デバイスの構成を示したもので、

A. 産業上の利用分野

Al<sub>2</sub>O<sub>3</sub> (アルミナ) または AlN (窒化アルミ) などの材質が用いられるセラミック基板1の両面には15~20μmのWのメタライズ層11、12が形成される。その一方の面には銅板などの導体10を介して半導体素子やダイオードなどの電

本発明は、セラミック基板上に半導体素子を含む電子部品を配設した半導体デバイスの製造方法に係り、特にセラミック基板と放熱板との接着に

子部品2が実装され、他方の面には半導体素子の動作時に発生する熱を外部に放出するために、放熱板3が接続される。なお、この接続には半田4が用いられる。放熱板3は、ボルト5を介して放熱フィン6に取り付けられ、最終的には、半導体素子2などの外周は樹脂などよりなるケース7によって封止される。

#### D. 発明が解決しようとする課題

第3図で示すように、セラミック基板1と放熱板3とを加熱装置を用いて半田付けし、その後冷却すると、セラミック基板1と放熱板3との材料の差による熱膨張係数の違いにより、歪みが発生して凹状のδの反りが生じる。この反った状態で放熱フィン6にボルト締めて取り付けたととしても、δが大きければ大きい程、両者の接触面積が減少

ソシ、温度差などの材料定数から決められるが、以下実験によって熱抵抗値を測定した、

なお実験は、比較のために従来のように反りを作らない比較例1、2と、反りをつけた実施例1、2とで行われた。

#### 比較例1

(1) セラミック基板としてALNの材質を用いてその面に20μmのWメタライズを施し、形状0.8'×2.9×3.2のものを2枚用意した。

(2) 放熱板は銅放熱板を用い、形状4'×3.3×0.91の平板状のものをを使用した。

上記(1)、(2)のセラミック基板と銅放熱板とをpb/sn=40/60の半田を用いて接続した。冷却後における最大歪量(第3図で示す凹状の反り)は7.0~8.0μmであった。接着さ

して放熱性が悪くなり、半導体素子の熱抵抗の増大となる問題を有している。

#### E. 課題を解決するための手段と作用

本発明は、セラミック基板上に電子部品を取り付け、その反対側に放熱板を接着するものにおいて、第1図(a)で示すように予め放熱板の反セラミック基板側にδ<sub>1</sub>の凸状の反りを形成したものである。このような反りを形成することにより、セラミック基板と放熱板とを加熱装置を用いて半田付けし、その後冷却すると、両材料の熱膨張係数の差により放熱板に反りが発生する。この反りは凹状の反りとなっており、δ<sub>1</sub>がδ<sub>2</sub>に縮小される。

#### F. 実施例

凸状の反り寸法δは、セラミック基板および放熱板の形状、寸法、熱膨張係数、ヤング率、ポア

れたセラミック基板にSIサイリスタ、MOSFET、ダイオードを実装して樹脂封止後、熱抵抗を測定した。

#### 比較例2

(1) セラミック基板としてAL<sub>2</sub>O<sub>3</sub>を用いてその面に20μmのWメタライズを施し、形状0.8'×2.9×3.2のものを2枚用意した。

(2) 放熱板は銅放熱板を用い、形状4'×3.3×0.91の平板状のものをを使用した。

上記(1)、(2)のセラミック基板と銅放熱板とをpb/sn=40/60の半田を用いて接続した。このときにおける最大歪量(凹状の反り)は5.0~6.0μmであった。接続されたセラミック基板にSIサイリスタ、MOSFET、ダイオードを実装して樹脂封止後、熱抵抗を測定した。

## 実施例1

(1) セラミック基板としてAl<sub>2</sub>O<sub>3</sub>を用い、その面に20 $\mu$ mのWメタライズを施し、形状0.8'×2.9×3.2のものを2枚用意した。

(2) 放熱板は銅放熱板を用い、形状4'×3.3×9.1のものに、第1図(a)で示す凸状の反り $\delta_1=100\sim110\mu$ mを設けた。

上記(1)、(2)のセラミック基板と銅放熱板とをpb/sn=40/60の半田を用いて接続した。このときにおける凸状の反り寸法 $\delta_1$ (第1図(b))は30~40 $\mu$ mであった。接続されたセラミック基板上にSIサイリスタ、MOSFET、ダイオードを実装した樹脂封止後、熱抵抗を測定した。

## 実施例2

(1) セラミック基板としてAl<sub>2</sub>O<sub>3</sub>を用い、その面に20 $\mu$ mのWメタライズを施し形状0.8'×2.9×3.2のものを2枚用意した。

(2) 放熱板は銅放熱板を用い、形状4'×3.3×9.1のものに、80~90 $\mu$ mの傾斜をつけて加工した。

上記(1)、(2)のセラミック基板と銅放熱板とをpb/sn=40/60の半田を用いて接続した。このときにおける凸状の反り寸法 $\delta_1$ は30~40 $\mu$ mであった。接続されたセラミック基板上にSIサイリスタ、MOSFET、ダイオードを実装して樹脂封止後、熱抵抗を測定した。

以上の比較例1、2と、実施例1、2の各熱抵抗の測定結果は次表の通りで、実施例1のものが最も熱抵抗が低い結果となった。

表

	熱抵抗
比較例1	100とすると
比較例2	130
実施例1	60
実施例2	90

また、この実験によって銅放熱板に与える凸状の反り寸法は、半田付後に生ずる反りに対して10~100 $\mu$ m加算すると好適であることがわかった。すなわち、10 $\mu$ m未満となると、両端を放熱フィンにボルト締めした際に反りが生じて接触面積が減少する。また100 $\mu$ mを超えた場合には、放熱フィンへのボルト締めの際にセラミック基板および実装した半導体素子に歪みを与え、場合によってはそれらに破損するおそれが生ずる。

## G. 発明の効果

以上のように本発明は、セラミック基板と銅放熱板との半田付けの際に生ずる反りの値に対し、30~40 $\mu$ m余計に凸状となるような反りを銅放熱板にもたせるようにしたものであるから、半田付け時に生じる凹状の反りを吸収し、且つ余分の30~40 $\mu$ mの凸状の反りは、放熱フィンへの取り付け時に吸収されてフラットの状態となり接触面積が増大する。このため樹脂封止後の半導体素子の熱抵抗が大巾に減少する利点を有するものである。

## 4. 図面の簡単な説明

第1図は本発明の一実施例を示す構成図、第2図は半導体デバイスの構成図、第3図は従来の半導体デバイスの製造工程説明図である。

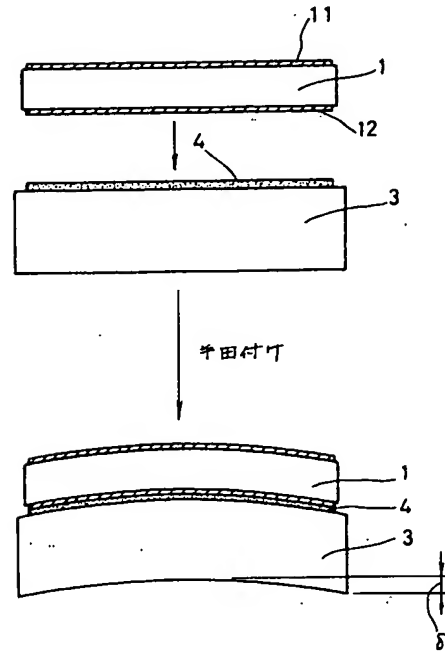
第3図

1…セラミック基板、2…半導体素子、3…放熱板、4…半田、5…ボルト、6…放熱フィン。

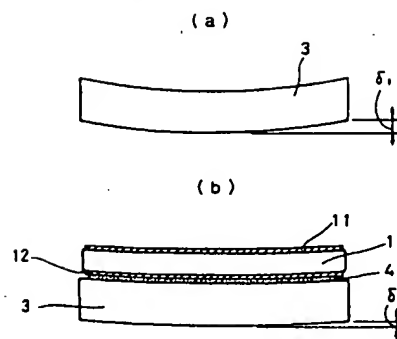
代理人 志賀富士弥



外1名



第1図



第2図

